

SP-09 319 775-A

DERWENT-ACC-NO: 1998-092004

DERWENT-WEEK: 200013

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor IC designing method -
involves correcting
delay time of wiring path, when it is
found to exceed
predetermined time limit

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1996JP-0131978 (May 27, 1996)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 09319775 A		December 12, 1997	N/A
013	G06F 017/50		
JP 3008849 B2		February 14, 2000	N/A
007	G06F 017/50		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 09319775A	N/A	
1996JP-0131978	May 27, 1996	
JP 3008849B2	N/A	
1996JP-0131978	May 27, 1996	
JP 3008849B2	Previous Publ.	JP 9319775
N/A		

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACTED-PUB-NO: JP 09319775A

BASIC-ABSTRACT:

The method involves arranging several wiring paths of transistor with high threshold value. Then, delay time of each wiring path is computed.

When it exceeds a predetermined delay time, then it is corrected in such a way that the threshold value of the transistor is lowered.

ADVANTAGE - Shortens designing time and delay time. Does not enlarge area of IC.

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS: SEMICONDUCTOR IC DESIGN METHOD CORRECT DELAY
TIME WIRE PATH FOUND
PREDETERMINED TIME LIMIT

ADDL-INDEXING-TERMS:
LSI

DERWENT-CLASS: T01 U11

EPI-CODES: T01-J15A2; U11-G;

SECONDARY-ACC-NO:
Non-CPI Secondary Accession Numbers: N1998-073237

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-319775

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 U
H 0 1 L 21/82				6 5 6 D
			H 0 1 L 21/82	W
				C

審査請求 有 請求項の数12 O L (全 13 頁)

(21)出願番号 特願平8-131978

(22)出願日 平成8年(1996)5月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山田 資隆

東京都港区芝五丁目7番1号 日本電気株式会社内

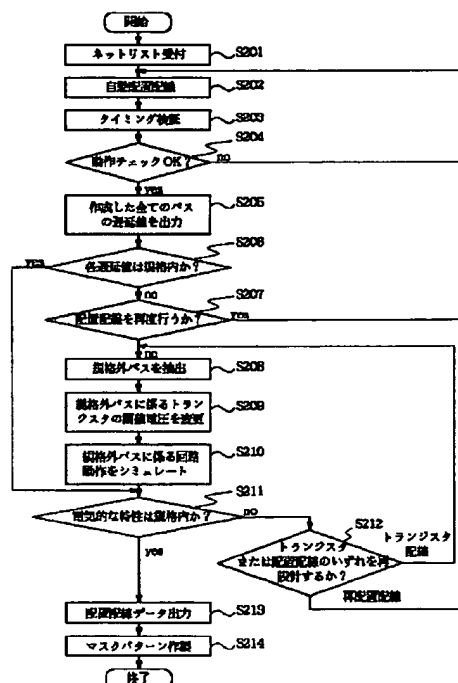
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体集積回路の設計方法および装置

(57)【要約】

【課題】 ICの面積を大きくすることなく遅延時間を短くすることができるとともに設計時間を短縮することのできる半導体集積回路の設計方法および装置を実現すること。

【解決手段】 途中に一個以上のトランジスタを有する複数の配線経路をもつ半導体集積回路の設計方法において、所定の閾値以上のトランジスタを用いて回路設計した後、各々の配線経路の遅延時間を算出し、所定の遅延時間を超える配線経路について、その中のトランジスタの閾値を下げるように補正することを特徴とする半導体回路の設計方法。



【特許請求の範囲】

【請求項1】 ネットリストに基づいて半導体集積回路を構成するトランジスタの配置および配線を設計する半導体集積回路の設計方法において、

配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であることを確認し、該所定値を超える遅延時間の配線経路についてのみ遅延時間を短縮する修正を行うことを特徴とする半導体集積回路の設計方法。

【請求項2】 請求項1記載の半導体集積回路の設計方法において、

配線経路の遅延時間の短縮を配線経路内のトランジスタを遅延時間が短いトランジスタに置換することにより行うことを特徴とする半導体集積回路の設計方法。

【請求項3】 請求項1記載の半導体集積回路の設計方法において、

配線経路の遅延時間の短縮を配線経路内の配線の金属層を厚膜化することにより行うことを特徴とする半導体集積回路の設計方法。

【請求項4】 請求項1記載の半導体集積回路の設計方法において、

配線経路の遅延時間の短縮を配線経路内の配線の層間膜を厚膜化することにより行うことを特徴とする半導体集積回路の設計方法。

【請求項5】 ネットリストに基づいて半導体集積回路を構成するMOSトランジスタの配置および配線を設計する半導体集積回路の設計方法において、

配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であることを確認し、該所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行うことを特徴とする半導体集積回路の設計方法。

【請求項6】 請求項5記載の半導体集積回路の設計方法において、

所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行った後に、各配線経路における消費電流を第2の所定値と比較し、該第2の所定値を超える消費電流の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより消費電流を減少する修正を行うことを特徴とする半導体集積回路の設計方法。

【請求項7】 記憶装置と、表示装置と、入力装置と、前記入力装置へ入力されたネットリストの内容および前記記憶装置に格納されたプログラムおよび格納するデータに基づいて動作し、前記表示装置への表示内容の出力および半導体集積回路を構成するトランジスタの配置および配線を設計する制御装置からなる半導体集積回路の設計装置において、

前記制御装置は配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であることを確認して前記表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該所定値を超える遅延時間の配線経路についてのみ遅延時間を短縮する修正を行うことを特徴とする半導体集積回路の設計装置。

【請求項8】 請求項7記載の半導体集積回路の設計装置において、

制御装置は、配線経路の遅延時間の短縮を配線経路内のトランジスタを遅延時間が短いトランジスタに置換することにより行うことを特徴とする半導体集積回路の設計装置。

【請求項9】 請求項7記載の半導体集積回路の設計装置において、

制御装置は、配線経路の遅延時間の短縮を配線経路内の配線の金属層を厚膜化することにより行うことを特徴とする半導体集積回路の設計装置。

【請求項10】 請求項7記載の半導体集積回路の設計装置において、

制御装置は、配線経路の遅延時間の短縮を配線経路内の配線の層間膜を厚膜化することにより行うことを特徴とする半導体集積回路の設計装置。

【請求項11】 請求項7記載の半導体集積回路の設計装置において、

制御装置は、半導体集積回路を構成するトランジスタがMOSトランジスタである場合には、所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行うことを特徴とする半導体集積回路の設計装置。

【請求項12】 請求項11記載の半導体装置の設計装置において、

制御装置は、所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行った後に、各配線経路における消費電流を第2の所定値と比較して表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該第2の所定値を超える消費電流の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより消費電流を減少する修正を行うことを特徴とする半導体集積回路の設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路を配置配線を含めて設計する方法および装置に関し、特に、遅延時間を考慮して設計を行う半導体集積回路の設計方法および装置に関する。

【0002】

50 【従来の技術】半導体集積回路（以下、IC：Integrat

ed circuitと称する)、特に、LSI (Large Scale Integrated circuit) には、大容量化を実現するために小型化が要求され、また、大容量化されたICを用いるソフトウェアが大容量化することからその動作に高速性が要求されるため、これらの小型化および高速動作性の要求は年々高くなる一方であり、IC設計を行う場合には最も重要な要素となっている。

【0003】設計されるICの動作周波数は各配線経路それぞれの遅延時間のうちの長いものにより決定されてしまう。例えば、全ての配線経路の遅延時間が10ns以内であるならば、作製されるICは100MHzで動作可能となるが、配線経路のうちの1つでも遅延時間が20nsのものがあった場合にはIC全体の動作周波数は50MHzとなってしまふ。

【0004】現在、ICの設計をする場合、設計時間を短縮するためにCAD (Computer-Aided Design) が多く用いられている。CADによる設計手法としてはセルベース方式が一般的であり、複数のセルをそれぞれの機能に応じて配置し、この後、各セル間を接続する配線経路が決定される。

【0005】CADによる設計では、複数セルの配置および配線経路の決定において、上述した理由からICを小型化することと動作速度を保証することが優先され、チップ面積を最小とし、配線長を最小とするとともに各配線経路の遅延時間が短くなるように決定される。

【0006】この後、各配線経路におけるそれぞれの遅延時間を求められ、要求される遅延時間内であるかを確認し、要求される遅延時間を超える配線経路があった場合には再度配置配線が行われる。

【0007】上記の配線経路の遅延時間を考慮して設計を行う従来技術として特開平7-14927号公報に開示されたものがある。

【0008】上記公報に開示されたものは、設計時間の短縮を目的とし、遅延時間がそれぞれ異なる複数の遅延セルを用いて遅延時間の調整を行うものである。具体的には、各セルの配置を決定し、配線経路を決定した後、所定の信号経路の遅延時間を求めて該遅延時間が要求される均等性を満たしているかを判定する。この判定の結果、所定の信号経路の遅延時間が要求される均等性を満たしていない場合には遅延セルを挿入し、交換し、または削除することにより所定の信号経路における信号を同時に到達させるものである。

【0009】

【発明が解決しようとする課題】従来のCADによる設計においては、各配線経路の遅延時間のうち、要求される遅延時間を超える配線経路があった場合には再度配置配線が行われるため、設計に時間がかかるという問題点があった。

【0010】特開平7-14927号公報に開示されたものは、要求される遅延時間を超える配線経路のみを修

正するものであり、行われる修正が、遅延させることを目的とする遅延時間が異なる複数の遅延セルを挿入し、交換し、または削除することにより所定の信号経路における信号を同時とするものである。このため、修正の方向としてはICの面積を拡大し、遅延時間を長くするものであることから、製造されるICを小型化することができず、配線経路の遅延時間を小さくすることができないという問題点がある。

【0011】さらに、遅延時間が短いものについては修正が可能であるが、遅延時間が長い場合には修正を行うことができず、再度配置配線が必要となり設計時間が長いものとなるという問題点がある。

【0012】本発明は上述したような従来の技術が有する問題点に鑑みてなされたものであって、ICの面積を大きくすることなく遅延時間を短くすることができるとともに設計時間を短縮することのできる半導体集積回路の設計方法および装置を実現することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の設計方法は、ネットリストに基づいて半導体集積回路を構成するトランジスタの配置および配線を設計する半導体集積回路の設計方法において、配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であるかを確認し、該所定値を超える遅延時間の配線経路についてのみ遅延時間を短縮する修正を行うことを特徴とする。

【0014】この場合、配線経路の遅延時間の短縮を配線経路内のトランジスタを遅延時間が短いトランジスタに置換することにより行うこととしてもよい。

【0015】また、配線経路の遅延時間の短縮を配線経路内の配線の金属層を厚膜化することにより行うこととしてもよい。

【0016】また、配線経路の遅延時間の短縮を配線経路内の配線の層間膜を厚膜化することにより行うこととしてもよい。

【0017】本発明の他の形態による半導体装置の製造方法は、ネットリストに基づいて半導体集積回路を構成するMOSTランジスタの配置および配線を設計する半導体集積回路の設計方法において、配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であるかを確認し、該所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行うことを特徴とする。

【0018】この場合、所定値を超える遅延時間の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行った後に、各配線経路における消費電流を第2の所定値と比較し、該第2の所定値を超える消費電流の配線経路についてのみ該配線経路内のトランジスタの閾値電圧を

変化させることにより消費電流を減少する修正を行うこととしてもよい。

【0019】本発明の半導体装置の製造方法は、記憶装置と、表示装置と、入力装置と、前記入力装置へ入力されたネットリストの内容および前記記憶装置に格納されたプログラムおよび格納するデータに基づいて動作し、前記表示装置への表示内容の出力および半導体集積回路を構成するトランジスタの配置および配線を設計する制御装置からなる半導体集積回路の設計装置において、前記制御装置は配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であることを確認して前記表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該所定値を超える遅延時間の配線経路についての遅延時間を短縮する修正を行うことを特徴とする。

【0020】この場合、制御装置は、配線経路の遅延時間の短縮を配線経路内のトランジスタを遅延時間が短いトランジスタに置換することにより行うこととしてもよい。

【0021】また、制御装置は、配線経路の遅延時間の短縮を配線経路内の配線の金属層を厚膜化することにより行うこととしてもよい。

【0022】また、制御装置は、配線経路の遅延時間の短縮を配線経路内の配線の層間膜を厚膜化することにより行うこととしてもよい。

【0023】さらに、制御装置は、半導体集積回路を構成するトランジスタがMOSトランジスタである場合には、所定値を超える遅延時間の配線経路についての該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行うこととしてもよい。

【0024】この場合、制御装置は、所定値を超える遅延時間の配線経路についての該配線経路内のトランジスタの閾値電圧を変化させることにより遅延時間を短縮する修正を行った後に、各配線経路における消費電流を第2の所定値と比較して表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該第2の所定値を超える消費電流の配線経路についての該配線経路内のトランジスタの閾値電圧を変化させることにより消費電流を減少する修正を行うこととしてもよい。

【0025】「作用」上記のように構成される本発明においては、規格を満たさない遅延時間の配線経路があった場合、従来のように配置配線設計を再度行うことはなく、規格を満たさない遅延時間の配線経路のみ修正を行うので、再設計時間が短縮される。

【0026】遅延時間を短縮するために行われる方法としては、使用トランジスタの置換、配線の金属層の厚膜化、配線の層間膜の厚膜化、MOSトランジスタを用いる場合にはその閾値電圧の変更といった配置については

変更されないもので、面積が大きくなることはない。

【0027】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0028】図1は本発明によるICの設計装置の一実施例の構成を示すブロック図、図2はその動作を示すフローチャート、図3乃至図8のそれぞれは本実施例における動作を説明するための図である。

【0029】本実施例はMOS型トランジスタによるICの設計を行うときのものであり、記憶装置101、制御装置102、入力装置103および表示装置104により構成されている。記憶装置101は制御装置102の処理手順およびICの配線配置設計に必要なデータベースを記憶している。制御装置102は記憶装置101に格納されている処理手順に従って動作するもので、表示装置104の表示内容を生成し、かつ、IC設計者による入力装置103への入力内容に応じて配置配線データを生成する。本実施例の場合には上記のようにMOS型のトランジスタによるIC設計であるために、記憶装置101より読み出されるプログラムおよびデータベースはそれに適したものとされ、図2に示すフローチャートはそれに沿ったものである。

【0030】本実施例の動作について図2のフローチャートを参照して説明する。図2は本実施例における制御装置102の制御動作を示すものである。

【0031】IC設計者は動作開始時に所望の機能を有する回路の接続情報であるネットリストを入力装置103へ入力する。制御装置102では該入力を受け付け（ステップS201）、該受け付けたネットリストに基づいてセルを配置し、各セル間を接続する配線を設計する（ステップS202）。

【0032】次に、設計した配置配線による回路の各部の動作タイミングを検証し（ステップS203）、続いて、検証した動作タイミングにより回路が正常に動作するかをチェックする（ステップS204）。

【0033】ステップS204でのチェックの結果、回路が正常に動作しないことが確認された場合にはステップS202へ戻って再度配置配線を行う。また、回路が正常に動作することが確認された場合には作成した全ての配線経路の遅延時間を求め（ステップS205）、各配線経路の遅延時間が規格内であることを確認する（ステップS206）。

【0034】上記の配線経路の遅延時間の確認動作について図3を参照して説明する。

【0035】図3は作製されるIC内部の概略構成を示すブロック図である。信号保持手段として用いられる複数の入力側フリップフロップ回路301および出力側フリップフロップ回路303の間には、複数のトランジスタを含む組み合わせ回路302が設けられ、入力側フリップフロップ回路301と出力側フリップフロップ回路303

03を通る信号は組み合わせ回路302を構成する複数のトランジスタによってスイッチングされる。入力側フリップフロップ回路301と出力側フリップフロップ回路303のそれぞれを接続するパスである配線経路はそれぞれ異なるものであり各配線経路の遅延時間も定まらないものである。図3には遅延時間がそれぞれ異なる $t_1 \sim t_3$ である3種類の配線経路が示されている。

【0036】IC設計においては、製造されるICをクロックレートである時間 t_0 で動作させるためには、各配線経路の遅延時間 $t_1 \sim t_3$ の全てがクロックレートである時間 t_0 以内であることが必要となり、ステップS206では各配線経路の遅延時間が所定のクロックレート内であるかを確認する。また、所定の配線経路については遅延時間を一定に揃えることがネットリストに記述されていることもあり、この場合には時間 t_0 以内であるとともに到達時間が等しいことも条件となる。

【0037】ステップS206にて各配線経路の遅延時間が規格内であることが確認された場合には、製造されるICがネットリストに示される電気的な特性を満足するものであるかを確認した後に（ステップS211）、設計した配置配線データを出力する（ステップS213）。この後、該配置配線データによる回路を実際にするためのマスクパターンを作製して（ステップS214）終了する。

【0038】ステップS206にて遅延時間が規格外の配線経路があることが確認された場合には、配置配線を再度行うか否かをIC設計者に確認する表示を表示装置104に行わせ、IC設計者に指示入力を促す（ステップS207）。なお、ステップS211にて製造されるICがネットリストに示される電気的な特性を満足しないことが確認された場合の動作については後述する。

【0039】ステップS207にてIC設計者より配置配線を再度行う旨の入力がなされた場合にはステップS202に戻って上記動作を繰返す。また、配置配線を行わない旨の入力がなされた場合には遅延時間が規格外の配線経路を全て抽出し（ステップS208）、該抽出した配線経路内のトランジスタの閾値電圧を変更する（ステップS209）。

【0040】上記のステップS208およびステップS209で行われる動作について図4乃至図6を参照して説明する。

【0041】図4および図5のそれぞれは、自動配置配線により設計された配線経路の遅延時間分布の一例を示す図であり、図6はMOS型トランジスタの閾値電圧を下げることにによりその遅延時間が短縮される様子を示す図である。

【0042】本実施例は、図4中の遅延時間が時間 t_0 を超える配線経路を抽出し、これを図5に示すように遅延時間が時間 t_0 以内に収まるように修正するものである。

【0043】本実施例はMOS型トランジスタを用いるものであり、遅延時間を短縮するための方法として、トランジスタの閾値電圧を低くすることが用いられる。図6に示されるMOS型トランジスタにおいては0.1[V]低くする毎に約6%遅延時間が短縮されており、一般的には0.1[V]低くする毎に5%~8%遅延時間が短縮される。

【0044】ステップS209では、上記の現象を利用して各配線経路の遅延時間が時間 t_0 内となるように各配線経路のトランジスタの閾値電圧を下げる。この後、閾値電圧を変更したトランジスタの回路動作をシミュレートし（ステップS210）、該シミュレート結果により製造されるICがネットリストに示される電気的な特性を満足するものであるかを確認する（ステップS211）。

【0045】ステップS211にて確認される電気的な特性としては様々なものがあるが、本実施例では上記のようにトランジスタの閾値電圧を下げることににより遅延時間を短縮することが行われるので、消費電流の確認が特に重要となる。これは、MOS型トランジスタの場合には低閾値化するに伴ってリーク電流が増加し、消費電流が増加するためである。

【0046】図7はMOS型トランジスタを低閾値化したときのリーク電流が増加する様子を示す図である。図に示されるように閾値電圧を0.2[V]から0.1[V]としたときに約1 μ A増加し、閾値電圧を0.1[V]以下とすると指数関数的に増大する。

【0047】ステップS211にて製造されるICが電気的な特性を満足するものであることが確認された場合には設計した配置配線データを出力し（ステップS213）、該配置配線データによる回路を実際にするためのマスクパターンを作製して（ステップS214）終了する。電気的な特性を満足するものではないことが確認された場合には、トランジスタの設計変更または配置配線の再設計のいずれを行うかをIC設計者に確認する表示を表示装置104に行わせ、IC設計者に指示入力を促す（ステップS212）。この結果IC設計者により配置配線を再度行う旨の指示入力がなされた場合にはステップS202へ戻り、トランジスタの設計を再度行う旨の指示入力がなされた場合にはステップS208へ戻って上記の各動作を繰返す。

【0048】なお、ステップS204、S212における確認の結果行われる配置配線やトランジスタ再設計においては、一度作成した結果を踏まえて行われる。

【0049】また、トランジスタを再設計する場合も同様である。トランジスタを再設計する場合、少なくとも遅延時間特性はクリアされているため、ステップS208で行われる規格外の配線経路の抽出およびステップS209にて行われるトランジスタの閾値電圧の変更は、規格外となった原因に基づいて前回とは異なる観点から行

われる。例えば、先に説明したような消費電流の点から規格外となった場合にはステップS208では消費電流の大きな配線経路が抽出され、ステップS209ではトランジスタの閾値電圧を上げることが行われる。

【0050】なお、以上説明した実施例においては、MOS型トランジスタを用いた場合のものであり、配線経路の遅延時間を短縮するために閾値電圧を下げることもしたが、遅延時間を短縮するには他にも、

(1) 遅延時間が短いトランジスタに置換する。

(2) 配線自体の容量および抵抗を下げる。ことが考えられ、ステップS209にて行われる修正動作をこのような構成してもよい。

【0051】信号の遅延時間は配線の抵抗Rや容量C、駆動源のインピーダンスや負荷インピーダンスに依存するものであり、配線遅延時間を少なくするには時定数RCを小さくすればよい。配置配線を変えないで配線遅延時間を短縮する、即ち時定数RCを小さくするには以下の方法が考えられる。

【0052】①配線の金属層の厚膜化を図り、抵抗Rを小さくする。

【0053】②配線の層間膜を厚膜化して容量Cを小さくする。

【0054】上記の(1)、(2)のいずれかの方法を用いる場合には、使用するトランジスタがMOS型に限定されることはない。また、これらの各方法は組み合わされて使用されてもよい。しかし、本実施例に示した閾値電圧を変化させることが後の作製工程において最も容易なおものであるために、まず、閾値電圧を変化させ、それでも規格を満足しないときに(1)、(2)のいずれかまたは両方の方法を用いることが望ましい。

【0055】上記のように構成される本実施例においては、ステップS209にて修正を行った場合には、作成される配置配線データはトランジスタの閾値電圧を変更する旨の情報を含むものとなる。また、上記の(1)、(2)のいずれかの方法を用いる場合には変更されたトランジスタの情報、または配線金属層や層間膜を厚膜化する旨の情報を含むものとなる。

【0056】MOS型トランジスタの閾値電圧は、ゲートに注入されるイオン量により決定される。閾値電圧が異なるトランジスタが混在するICを作製する場合に

は、ステップS214にて閾値電圧がそれぞれ異なるトランジスタを作製するために複数のマスクパターンが作製される。

【0057】図8はステップS214にて複数のマスクパターンを作製する状態を説明するための図である。図8(a)に示すマスクパターン801は、ステップS209において修正動作が行われず、トランジスタのゲートに照射されるイオンの量が等しい場合のものである。図8(a)に示すマスクパターン801には12個の孔

が形成されているが、このうちの所定の3個のトランジスタについて閾値を異ならせる必要が生じた場合には、図8(b)および図8(c)にそれぞれ示す2つのマスクパターン802、803が作製され、それぞれ異なる時間によるイオン照射に用いられる。

【0058】上記のような、通常は1つで済むマスクパターンを複数に分けることは配線金属層や層間膜を厚膜化する場合にも行われる。

【0059】本実施例は上述したように所定の配線経路の遅延時間を短縮することができ、また、この短縮作業が所定の配線経路に対する部分的な修正とすることが可能となっているために、配置配線設計にかかる時間を短くすることができ、マスクパターンの作製を含めたIC設計時間を短くすることができた。

【0060】

【発明の効果】本発明は以上説明したように、規格を満たさない遅延時間の配線経路のみが修正されるため、ICの面積を大きくすることなく遅延時間を短くすることができる、これにより設計時間を短縮することができる効果がある。また、部分的な修正が行われることからセルベースについて変更されることが少なく、クリティカルなパスを極力保護することができる効果がある。

【図面の簡単な説明】

【図1】本発明によるICの設計装置の一実施例の構成を示すブロック図である。

【図2】図1に示した実施例の動作を示すフローチャートである。

【図3】作製されるIC内部の概略構成を示すブロック図である。

【図4】配線経路の遅延時間分布の一例を示す図である。

【図5】配線経路の遅延時間分布の一例を示す図である。

【図6】MOS型トランジスタの閾値電圧を下げることでその遅延時間が短縮される様子を示す図である。

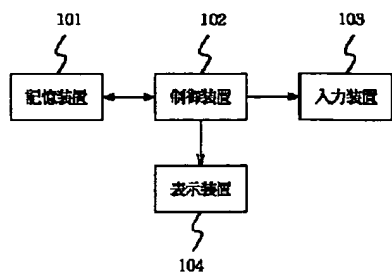
【図7】MOS型トランジスタを低閾値化したときのリーク電流が増加する様子を示す図である。

【図8】図2中のステップS214にて複数のマスクパターンを作製する状態を説明するための図である。

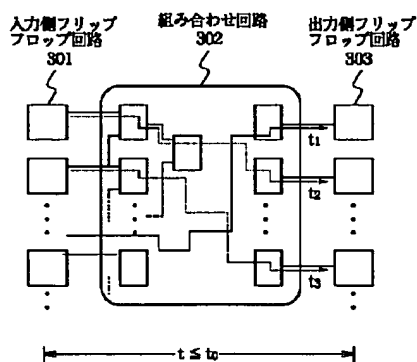
【符号の説明】

101 記憶装置
102 制御装置
103 入力装置
104 表示装置
301 入力側フリップフロップ回路
302 組み合わせ回路
303 出力側フリップフロップ回路
801～803 マスクパターン
S201～S214 ステップ

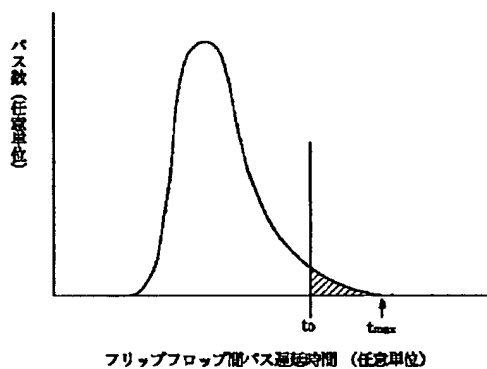
【図1】



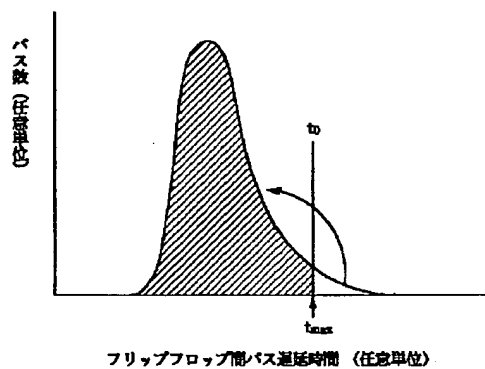
【図3】



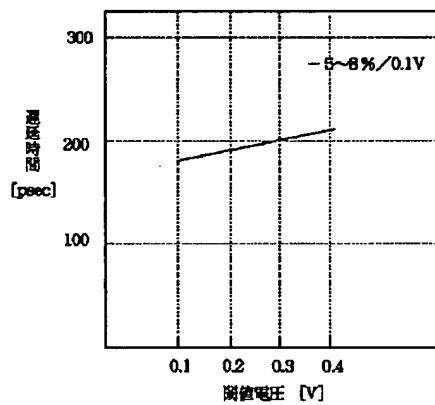
【図4】



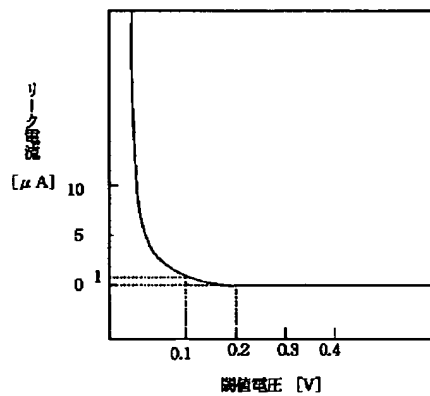
【図5】



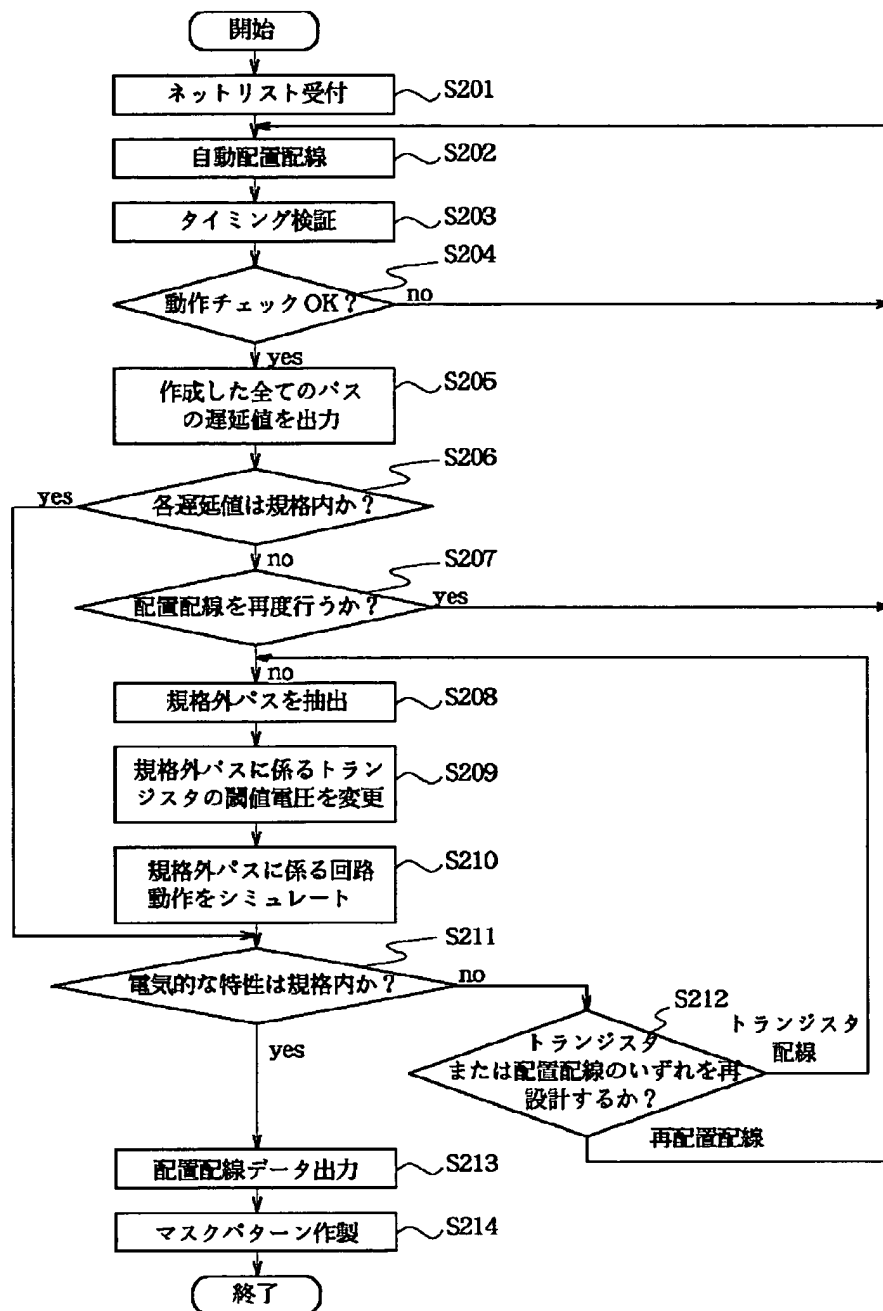
【図6】



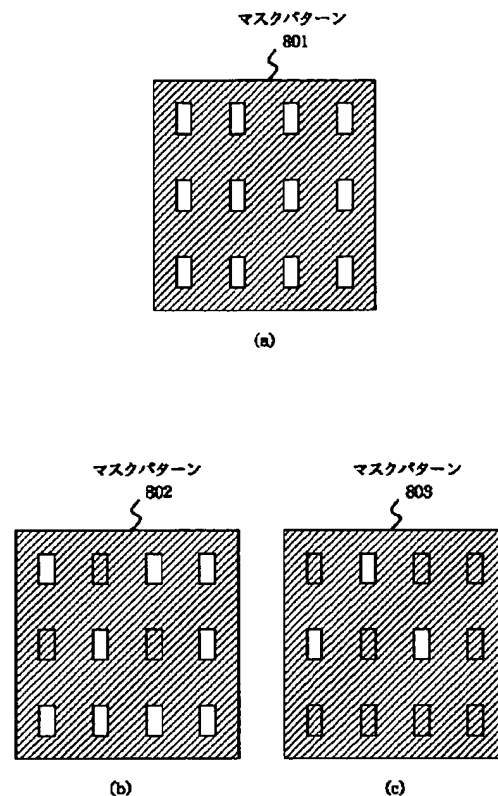
【図7】



【図2】



【図8】



【手続補正書】

【提出日】平成8年6月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体集積回路の設計方法および装置

【特許請求の範囲】

【請求項1】 途中に一個以上のトランジスタを有する複数の配線経路をもつ半導体集積回路の設計方法において、

所定の閾値以上のトランジスタを用いて回路設計した後、各々の配線経路の遅延時間を算定し、所定の遅延時間を超える配線経路について、その中のトランジスタの閾値を下げるように補正することを特徴とする半導体回路の設計方法。

【請求項2】 請求項1記載の半導体回路の設計方法において、所定の遅延時間を超える配線経路について、該配線経路

内のトランジスタの閾値を下げることにより遅延時間を短縮する修正を行った後に、各配線経路における消費電流を算定し、所定の消費電流を超える配線経路についてその中のトランジスタの閾値を上げるように補正することを特徴とする半導体集積回路の設計方法。

【請求項3】 記憶装置と、表示装置と、入力装置と、前記入力されたネットリストの内容及び前記記憶装置に格納されたプログラム及び格納するデータに基づいて動作し、前記表示装置への表示内容の出力及び半導体集積回路を構成するトランジスタの配置及び配線を設計する制御装置からなる半導体集積回路の設計装置において、前記制御装置は配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であることを確認して前記表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該所定値を超える遅延時間の配線経路についてトランジスタの閾値を下げることにより遅延時間を短縮させる修正を行うことを特徴とする半導体集積回路の設計装置。

【請求項4】 請求項3記載の半導体集積回路の設計装置において、

制御装置は所定値を超える遅延時間の配線経路について、該配線経路内のトランジスタの閾値電圧を下げることで、遅延時間を短縮する修正を行った後に各配線における消費電流を算定し、所定値の消費電流を超える配線経路について、該配線経路内のトランジスタの閾値電圧を上げることで消費電流を減少させる修正を行うことを特徴とする半導体集積回路の設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路を配置配線を含めて設計する方法および装置に関し、特に、遅延時間を考慮して設計を行う半導体集積回路の設計方法および装置に関する。

【0002】

【従来の技術】半導体集積回路（以下、IC：Integrated circuitと称する）、特に、LSI（Large Scale Integrated circuit）には、大規模化を実現するために小型化が要求され、また、大規模化されたICを用いるソフトウェアも大規模化することからその動作に高速性が要求されるため、これらの小型化および高速動作性の要求は年々高くなる一方であり、IC設計を行う場合には最も重要な要素となっている。

【0003】設計されるICの動作周波数は各配線経路それぞれの遅延時間のうちの長いものにより決定されてしまう。例えば、全ての配線経路の遅延時間が10ns以内であるならば、作製されるICは100MHzで動作可能となるが、配線経路のうちの1つでも遅延時間が20nsのものがあった場合にはIC全体の動作周波数は50MHzとなってしまふ。

【0004】現在、ICの設計をする場合、設計時間を短縮するためにCAD（Computer-Aided Design）が多く用いられている。CADによる設計手法としてはセルベース方式が一般的であり、複数のセルをそれぞれの機能に応じて配置し、この後、各セル間を接続する配線経路が決定される。

【0005】CADによる設計では、複数セルの配置および配線経路の決定において、上述した理由からICを小型化することと動作速度を保證することが優先され、チップ面積を最小とし、配線長を最小とするとともに各配線経路の遅延時間が短くなるように決定される。

【0006】この後、各配線経路におけるそれぞれの遅延時間を求められ、要求される遅延時間内であるかを確認し、要求される遅延時間を超える配線経路があった場合には再度配置配線が行われる。

【0007】上記の配線経路の遅延時間を考慮して設計を行う従来技術として特開平7-14927号公報に開示されたものがある。

【0008】上記公報に開示されたものは、設計コストの低減を目的とし、遅延時間がそれぞれ異なる複数の遅延セルを用いて遅延時間の調整を行うものである。具体的

には、各セルの配置を決定し、配線経路を決定した後、に所定の信号経路の遅延時間を求めて該遅延時間が要求される均等性を満たしているかを判定する。この判定の結果、所定の信号経路の遅延時間が要求される均等性を満たしていない場合には遅延セルを挿入し、交換し、または削除することにより所定の信号経路における信号を同時に到達させるものである。

【0009】

【発明が解決しようとする課題】従来のCADによる設計においては、各配線経路の遅延時間のうち、要求される遅延時間を超える配線経路があった場合には再度配置配線が行われるため、設計に時間がかかるという問題点があった。

【0010】特開平7-14927号公報に開示されたものは、要求される遅延時間を超える配線経路のみを修正するものであり、行われる修正が、遅延させることを目的とする遅延時間が異なる複数の遅延セルを挿入し、交換し、または削除することにより所定の信号経路における信号を同時とするものである。このため、修正の方向としてはICの面積を拡大し、遅延時間を長くするものであることから、製造されるICを小型化することができず、配線経路の遅延時間を小さくすることができないという問題点がある。

【0011】さらに、遅延時間が短いものについては修正が可能であるが、遅延時間が長い場合には修正を行うことができず、再度配置配線が必要となり設計時間が長いものとなるという問題点がある。

【0012】本発明は上述したような従来の技術が有する問題点に鑑みてなされたものであって、ICの面積を大きくすることなく遅延時間を短くすることができるとともに設計時間を短縮することのできる半導体集積回路の設計方法および装置を実現することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の設計方法は、途中に一個以上のトランジスタを有する複数の配線経路をもつ半導体集積回路の設計方法において、所定の閾値以上のトランジスタを用いて回路設計した後、各々の配線経路の遅延時間を算定し、所定の遅延時間を超える配線経路について、その中のトランジスタの閾値を下げるように補正することとを特徴とする。

【0014】この場合、所定の遅延時間を超える配線経路について、該配線経路内のトランジスタの閾値を下げることで遅延時間を短縮する修正を行った後に、各配線経路における消費電流を算定し、所定の消費電流を超える配線経路についてその中のトランジスタの閾値を上げるように補正することとしてもよい。

【0015】本発明の半導体集積回路の設計装置は、記憶装置と、表示装置と、入力装置と、前記入力されたネットワークの内容及び前記記憶装置に格納されたプログラム及び格納するデータに基づいて動作し、前記表示装

置への表示内容の出力及び半導体集積回路を構成するトランジスタの配置及び配線を設計する制御装置からなる半導体集積回路の設計装置において、

【0016】前記制御装置は配置配線を設計した後に、各配線経路の遅延時間が予め定められた所定値以内であるかを確認して前記表示装置に表示させ、この後、修正を行う旨の入力が前記入力装置になされると、該所定値を超える遅延時間の配線経路についてトランジスタの閾値を下げることににより遅延時間を短縮させる修正を行うことを特徴とする。

【0017】この場合、制御装置は所定値を超える遅延時間の配線経路について、該配線経路内のトランジスタの閾値電圧を下げることににより遅延時間を短縮する修正を行った後に各配線における消費電流を算定し、所定値の消費電流を超える配線経路について、該配線経路内のトランジスタの閾値電圧を上げることににより消費電流を減少させる修正を行うこととしてもよい。

【0018】「作用」上記のように構成される本発明においては、規格を満たさない遅延時間の配線経路があった場合、従来のように配置配線設計を再度行うことはなく、規格を満たさない遅延時間の配線経路のみ修正を行うので、再設計時間が短縮される。

【0019】遅延時間を短縮するために行われる方法としては、MOSトランジスタの閾値電圧を変更するだけで、配置については変更しないので、面積が大きくなることはない。

【0020】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0021】図1は本発明によるICの設計装置の一実施例の構成を示すブロック図、図2はその動作を示すフローチャート、図3乃至図8のそれぞれは本実施例における動作を説明するための図である。

【0022】本実施例はMOS型トランジスタによるICの設計を行うときのものであり、記憶装置101、制御装置102、入力装置103および表示装置104により構成されている。記憶装置101は制御装置102の処理手順およびICの配線配置設計に必要なデータベースを記憶している。制御装置102は記憶装置101に格納されている処理手順に従って動作するもので、表示装置104の表示内容を生成し、かつ、IC設計者による入力装置103への入力内容に応じて配置配線データを生成する。本実施例の場合には上記のようにMOS型のトランジスタによるIC設計であるために、記憶装置101より読み出されるプログラムおよびデータベースはそれに適したものとされ、図2に示すフローチャートはそれに沿ったものである。

【0023】本実施例の動作について図2のフローチャートを参照して説明する。図2は本実施例における制御装置102の制御動作を示すものである。

【0024】IC設計者は動作開始時に所望の機能を有する回路の接続情報であるネットリストを入力装置103へ入力する。その際、高い閾値電圧のMOS型トランジスタのデータを登録する。制御装置102では該入力を受け付け（ステップS201）、該受け付けたネットリストに基づいてセルを配置し、各セル間を接続する配線を設計する（ステップS202）。

【0025】次に、設計した配置配線による回路の各部の動作タイミングを検証し（ステップS203）、続いて、検証した動作タイミングにより回路が正常に動作するかをチェックする（ステップS204）。

【0026】ステップS204でのチェックの結果、回路が正常に動作しないことが確認された場合にはステップS202へ戻って再度配置配線を行う。また、回路が正常に動作することが確認された場合には作成した全ての配線経路の遅延時間を求め（ステップS205）、各配線経路の遅延時間が規格内であるかを確認する（ステップS206）。

【0027】上記の配線経路の遅延時間の確認動作について図3を参照して説明する。

【0028】図3は作製されるIC内部の概略構成を示すブロック図である。信号保持手段として用いられる複数の入力側フリップフロップ回路301および出力側フリップフロップ回路303の間には、複数のトランジスタを含む組み合わせ回路302が設けられ、入力側フリップフロップ回路301と出力側フリップフロップ回路303を通る信号は組み合わせ回路302を構成する複数のトランジスタによってスイッチングされる。入力側フリップフロップ回路301と出力側フリップフロップ回路303のそれぞれを接続するバスである配線経路はそれぞれ異なるものであり各配線経路の遅延時間も定まらないものである。図3には遅延時間がそれぞれ異なる t_1 ～ t_3 である3種類の配線経路が示されている。

【0029】IC設計においては、製造されるICをクロックレートである時間 t_0 で動作させるためには、各配線経路の遅延時間 t_1 ～ t_3 の全てがクロックレートである時間 t_0 以内であることが必要となり、ステップS206では各配線経路の遅延時間が所定のクロックレート内であるかを確認する。また、所定の配線経路については遅延時間を一定に揃えることがネットリストに記述されていることもあり、この場合には時間 t_0 以内であるとともに到達時間が等しいことも条件となる。

【0030】ステップS206にて各配線経路の遅延時間が規格内であることが確認された場合には、製造されるICがネットリストに示される電気的な特性を満足するものであるかを確認した後に（ステップS211）、設計した配置配線データを出力する（ステップS213）。この後、該配置配線データによる回路を実際にするためのマスクパターンを作製して（ステップS214）終了する。ステップS211にて製造されるICが

ネットリストに示される電気的な特性を満足しないことが確認された場合の動作については後述する。

【0031】ステップS206にて遅延時間が規格外の配線経路があることが確認された場合には、配置配線を再度行うか否かをIC設計者に確認する表示を表示装置104に行わせ、IC設計者に指示入力を促す(ステップS207)。

【0032】ステップS207にてIC設計者より配置配線を再度行う旨の入力がなされた場合にはステップS202に戻って上記動作を繰返す。また、配置配線を行わない旨の入力がなされた場合には遅延時間が規格外の配線経路を全て抽出し(ステップS208)、該抽出した配線経路内のトランジスタの閾値電圧を変更する(ステップS209)。

【0033】上記のステップS208およびステップS209で行われる動作について図4乃至図6を参照して説明する。

【0034】図4および図5のそれぞれは、自動配置配線により設計された配線経路の遅延時間分布の一例を示す図であり、図6はMOS型トランジスタの閾値電圧を下げることにによりその遅延時間が短縮される様子を示す図である。

【0035】本実施例は、図4中の遅延時間が時間 t_0 を超える配線経路を抽出し、これを図5に示すように遅延時間が時間 t_0 以内に収まるように修正するものである。

【0036】本実施例はMOS型トランジスタを用いるものであり、遅延時間を短縮するための方法として、トランジスタの閾値電圧を低くすることが用いられる。図6に示されるMOS型トランジスタにおいては0.1[V]低くする毎に約6%遅延時間が短縮されており、一般的には0.1[V]低くする毎に5%~8%遅延時間が短縮される。

【0037】ステップS209では、上記の現象を利用して各配線経路の遅延時間が時間 t_0 内となるように各配線経路のトランジスタの閾値電圧を下げる。この後、閾値電圧を変更したトランジスタの回路動作をシミュレートし(ステップS210)、該シミュレート結果により製造されるICがネットリストに示される電気的な特性を満足するものであるかを確認する(ステップS211)。

【0038】ステップS211にて確認される電気的な特性としては様々なものがあるが、本実施例では上記のようにトランジスタの閾値電圧を下げることににより遅延時間を短縮することが行われるので、消費電流の確認が特に重要となる。これは、MOS型トランジスタの場合には低閾値化するに伴ってリーク電流が増加し、消費電流が増加するためである。

【0039】図7はMOS型トランジスタを低閾値化したときのリーク電流が増加する様子を示す図である。図

に示されるように閾値電圧を0.2[V]から0.1[V]としたときに約1 μ A増加し、閾値電圧を0.1[V]以下とすると指数関数的に増大する。

【0040】ステップS211にて製造されるICが電気的な特性を満足するものであることが確認された場合には設計した配置配線データを出力し(ステップS213)、該配置配線データによる回路をレイアウトするためのマスクパターンを作製して(ステップS214)終了する。ステップS211にて製造されるICが電気的な特性を満足するものではないことが確認された場合には、トランジスタの設計変更または配置配線の再設計のいずれを行うかをIC設計者に確認する表示を表示装置104に行わせ、IC設計者に指示入力を促す(ステップS212)。この結果IC設計者により配置配線を再度行う旨の指示入力がなされた場合にはステップS202へ戻り、トランジスタの設計を再度行う旨の指示入力がなされた場合にはステップS208へ戻って上記の各動作を繰返す。

【0041】なお、ステップS204、S212における確認の結果行われる配置配線やトランジスタ再設計においては、一度作成した結果を踏まえて行われる。

【0042】また、トランジスタを再設計する場合も同様である。トランジスタを再設計する場合、少なくとも遅延時間特性はクリアされているため、ステップS208で行われる規格外の配線経路の抽出およびステップS209にて行われるトランジスタの閾値電圧の変更は、規格外となった原因に基いて前回とは異なる観点から行われる。例えば、先に説明したような消費電流の点から規格外となった場合にはステップS208では消費電流の大きな配線経路が抽出され、ステップS209ではトランジスタの閾値電圧を上げることが行われる。

【0043】上記のように構成される本実施例においては、ステップS209にて修正を行った場合には、作成される配置配線データはトランジスタの閾値電圧を変更する旨の情報を含むものとなる。

【0044】MOS型トランジスタの閾値電圧は、ゲートに注入されるイオン量により決定される。閾値電圧が異なるトランジスタが混在するICを作製する場合には、ステップS214にて閾値電圧がそれぞれ異なるトランジスタを作製するために複数のマスクパターンが作製される。

【0045】図8はステップS214にて複数のマスクパターンを作製する状態を説明するための図である。図8(a)に示すマスクパターン801は、ステップS209において修正動作が行われず、トランジスタのゲートに照射されるイオンの量が等しい場合のものである。図8(a)に示すマスクパターン801には12個の孔が形成されているが、このうちの所定の3個のトランジスタについて閾値を異ならせる必要が生じた場合には、図8(b)および図8(c)にそれぞれ示す2つのマス

クパターン802, 803が作製され、それぞれ異なる時間によるイオン照射に用いられる。

【0046】本実施例は上述したように所定の配線経路の遅延時間を短縮することができ、また、この短縮作業が所定の配線経路に対する部分的な修正とすることが可能となっているために、配置配線設計にかかる時間を短縮することができ、マスクパターンの作製を含めたIC設計時間を短縮することができた。

【0047】

【発明の効果】本発明は以上説明したように、規格を満たさない遅延時間の配線経路のみが修正されるため、ICの面積を大きくすることなく遅延時間を短縮することができる、これにより設計時間を短縮することができる効果がある。また、セルベースについて変更を行い、部分的な修正が行われることから、クリティカルなパスを極力保護することができる効果がある。

【図面の簡単な説明】

【図1】本発明によるICの設計装置の一実施例の構成を示すブロック図である。

【図2】図1に示した実施例の動作を示すフローチャートである。

【図3】作製されるIC内部の概略構成を示すブロック

図である。

【図4】配線経路の遅延時間分布の一例を示す図である。

【図5】配線経路の遅延時間分布の一例を示す図である。

【図6】MOS型トランジスタの閾値電圧を下げることによりその遅延時間が短縮される様子を示す図である。

【図7】MOS型トランジスタを低閾値化したときのリーク電流が増加する様子を示す図である。

【図8】図2中のステップS214にて複数のマスクパターンを作製する状態を説明するための図である。

【符号の説明】

101	記憶装置
102	制御装置
103	入力装置
104	表示装置
301	入力側フリップフロップ回路
302	組み合わせ回路
303	出力側フリップフロップ回路
801~803	マスクパターン
S201~S214	ステップ